

This Page Is Inserted by IFW Operations  
and is not a part of the Official Record

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning documents *will not* correct images,  
please do not report the images to the  
Image Problem Mailbox.**

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 08-129505

(43)Date of publication of application : 21.05.1996

(51)Int.Cl. G06F 12/06  
G11C 16/06

(21)Application number : 06-265928

(71)Applicant : NEC ENG LTD

(22)Date of filing : 31.10.1994

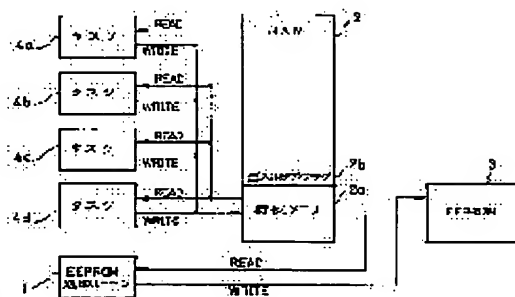
(72)Inventor : YAMADA HIROMI

## (54) EEPROM CONTROL UNIT

### (57)Abstract:

**PURPOSE:** To shorten the write wait time of an EEPROM, to prevent a write conflict of the EEPROM, to prevent a write omission of the EEPROM, and to decrease the write frequency of the EEPROM without unnecessary writing to the EEPROM and unnecessary processing.

**CONSTITUTION:** Tasks 4a-4d access a dummy memory 2a of a RAM 2 instead of accessing the EEPROM 3 in normal operation. An EEPROM processing routine 1 checks a write request flag 2b of the RAM 2 at constant intervals of time and writes the data of the dummy memory 2 in the EEPROM 3 on condition that there is a write request. The EEPROM processing routine 1 checks data of the EEPROM 3, page by page, unless there is the write request.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平8-129505

(43) 公開日 平成8年(1996)5月21日

(51) Int.Cl. <sup>4</sup>	識別記号	庁内整理番号	F I	技術表示箇所
G 0 6 F 12/06	5 1 5 K	7623-5B		
G 1 1 C 16/06			G 1 1 C 17/ 00	5 1 0 Z

審査請求 未請求 請求項の数 3 O L (全 8 頁)

(21) 出願番号 特願平6-265928

(22) 出願日 平成6年(1994)10月31日

(71) 出願人 000232047

日本電気エンジニアリング株式会社  
東京都港区芝浦三丁目18番21号

(72) 発明者 山田 裕美

東京都港区芝浦三丁目18番21号 日本電気  
エンジニアリング株式会社内

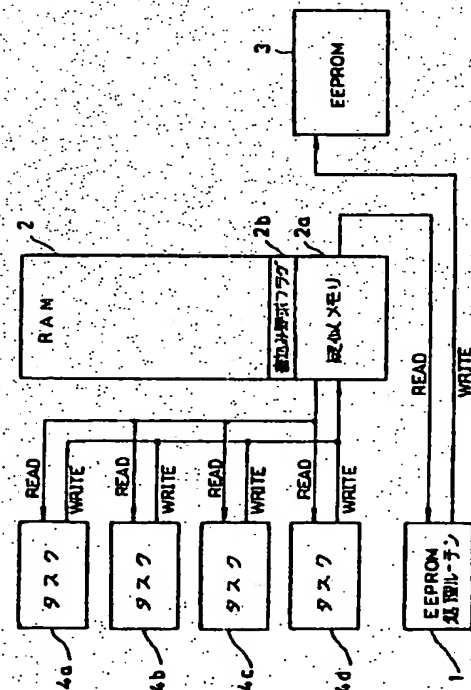
(74) 代理人 弁理士 京本 直樹 (外2名)

(54) 【発明の名称】 E E P R O M 制御装置

(57) 【要約】

【目的】 E E P R O M に対する無駄な書換えや無駄な処理を行うことなく、E E P R O M の書込み待ち時間の短縮、E E P R O M の書込み競合の防止、E E P R O M の書込み漏れの防止、E E P R O M の書込み回数の減少を図る。

【構成】 タスク 4 a ~ 4 d は通常動作時における E E P R O M 3 へのアクセスを R A M 2 の疑似メモリ 2 a へのアクセスに置き換えて実行する。E E P R O M 処理ルーチン 1 は一定間隔で R A M 2 の書込み要求フラグ 2 b をチェックし、書込み要求があれば疑似メモリ 2 a のデータを E E P R O M 3 に書込む。E E P R O M 処理ルーチン 1 は書込み要求がなければ E E P R O M 3 に対して 1 ページずつデータチェック処理を行う。



## 【特許請求の範囲】

【請求項1】 電気的に書込み及び消去自在の不揮発性メモリと、前記不揮発性メモリの内容を全て記憶する記憶領域を含む読出し書込み自在な記憶装置とを有する情報処理装置のEEPROM制御装置であって、通常動作時に前記不揮発性メモリへのアクセスを前記記憶領域へのアクセスに置き換える手段と、前記記憶領域への書込みの有無を示す書込み要求を保持する保持手段と、予め設定された所定期期で動作しかつ前記保持手段に前記書込み要求が保持されているときに前記書込み要求に対応する前記記憶領域の内容を前記不揮発性メモリに書込む手段とを有することを特徴とするEEPROM制御装置

【請求項2】 前記情報処理装置とは非同期に動作しかつ前記情報処理装置に対して前記所定期期毎に割込みを発生する手段を含むことを特徴とする請求項1記載のEEPROM制御装置

【請求項3】 前記所定期期で動作しかつ前記保持手段に前記書込み要求が保持されていないときに前記不揮発性メモリ内のデータチェックを行う手段を含むことを特徴とする請求項1または請求項2記載のEEPROM制御装置

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】 本発明はEEPROM制御装置に関し、特に電気的に書込み及び消去自在の不揮発性メモリ【以下、EEPROM (Electrically Erasable & Programmable Read Only Memory) とする】の制御方式に関する。

## 【0002】

【従来の技術】 EEPROMを有するマイクロプロセッサシステムにおいて、そのEEPROMに対するデータ書込み及び読出しにはいくつかの制約がある。すなわち、EEPROMのメモリはページ単位に分割されているので、CPUが連続して書込めるのは同一ページ内のデータに対してだけである。その場合、別ページにデータを書込むには現ページへの書込み動作（以下、ライトサイクルとする）の終了を待たなくてはならず、このライトサイクルは10ms程度である。

【0003】 また、同一ページ内でのデータ書込み時に一定時間以内（100 $\mu$ s程度）に次のアドレスとデータとをを入力しないと、ライトサイクルに入ってしまう。このライトサイクル中に書込みを行うと、その書込みデータは保証されない。さらに、EEPROMへの書込み回数には寿命があるため、EEPROMへの無駄な書込みを避ける必要がある。

【0004】 したがって、EEPROMへの書込みには、図5～図7に示すような制御が必要となる。まず、簡単な方法としては、データを書込んだ後に（図5ステ

ップS11）、ライトサイクル時間（約7～10ms）が経過するのを待ち（図5ステップS12、S13）、次のステップに進む方法がある。

【0005】 この方法よりもライトサイクルの待ち時間を減らすためには、EEPROMにページ単位に連続してデータを書込める機能や、最後に書込んだデータを読み出すことによってライトサイクル終了を知ることが可能な機能がついているEEPROMを使用し、書込みプログラムを以下のようにすることで実現することができる。

【0006】 バイト単位の場合には、データを1バイト書込んだ後に（図6ステップS21）、書込みデータの比較をデータが一致するまで続け（図6ステップS22、S23）、一致すると他のページへの書込みかを判断する（図6ステップS24）。この場合、次のデータはライトサイクル終了後に書込み可能となる。

【0007】 また、大量にデータを書込む場合には、まず1ページ分のデータを編集し（図7ステップS31）、編集した1ページ分のデータを書込む（図7ステップS32）。その後、最後に書込んだデータをEEPROMの読出しデータと比較し（図7ステップS33、S34）、この比較を一致するまで続ける（図7ステップS33、S34）。その比較が一致すれば、ライトサイクル終了として他のページへの書込みチェック（図7ステップS35）が可能となる。

## 【0008】

【発明が解決しようとする課題】 上述した従来のEEPROMに対する制御を、割込みやマルチタスクを利用したシステムに使用する場合、CPUを有効に活用するために、EEPROMのライトサイクルの待ち時間を他のタスクや割込みに解放する方法がある。

【0009】 この方法の場合、その期間中はEEPROMへのアクセスが不可能であるため、EEPROMへのデータ書込み及び読出しの競合を避けるための制御が必要となり、複雑なソフトウェアとなる。

【0010】 また、EEPROMのデータを確実に利用するためには書込み時のライトサイクルを十分にとり、データチェックを行わなければならないが、そのための時間をとればとるほど他の処理への妨げとなってしまう。

【0011】 さらに、EEPROM上における同じページ内のデータでもプログラム上で別の場所からアクセスされる場合には大々のライトサイクル間隔を確保することになるので、無駄な待ち時間や無駄な書込みが起きる原因となる。

【0012】 これらの問題点を解決するために、特開平2-81398号公報ではEEPROMと同じ記憶容量のRAMを用い、通常動作状態ではRAMに対してアクセスを行い、必要に応じて選択的にRAMとEEPROMとの間で相互にデータを転送させる方法が提案されて

いる。

【0013】この方法では電源遮断時にRAMのデータをEEPROMに転送し、電源投入時にEEPROMのデータをRAMに転送したり、RAM及びEEPROM各々の同一アドレスのデータを読出し、それらが不一致ならばEEPROMのデータをRAMのデータにしたがって書換えたりしてEEPROMに対する書換え回数を低減させている。尚、EEPROMとRAMとの間のデータ転送をラッチ回路を介してワード線単位で行うことで、データ書換えの高速動作化を図っている。

【0014】しかしながら、電源遮断時にRAMのデータをEEPROMに転送し、電源投入時にEEPROMのデータをRAMに転送する方法では書換えなくともよいデータの書換えも行われるため、EEPROMに対する無駄な書換えが生じてしまう。

【0015】また、RAM及びEEPROM各々の同一アドレスのデータを読出し、それらが不一致ならばEEPROMのデータをRAMのデータにしたがって書換える方法では、RAM及びEEPROM各々からすべてのデータを読出さなければ、どの部分で書換えず行われたかを知ることができず、RAM及びEEPROM各々の全アドレスからのデータの読出しとそれらの比較とを行わなければならない、EEPROMの書換え工数が多くなるとともに、EEPROMの書換えの処理時間も長くなってしまふ。

【0016】そこで、本発明の目的は上記の問題点を解消し、EEPROMに対する無駄な書換えや無駄な処理を行うことなく、EEPROMの書込み待ち時間の短縮、EEPROMの書込み競合の防止、EEPROMの書込み漏れの防止、EEPROMの書込み回数の減少を図ることができるEEPROM制御装置を提供することにある。

【0017】

【課題を解決するための手段】本発明によるEEPROM制御装置は、電氣的に書込み及び消去自在な不揮発性メモリと、前記不揮発性メモリの内容を全て記憶する記憶領域を含む読出し書込み自在な記憶装置とを有する情報処理装置のEEPROM制御装置であって、通常動作時に前記不揮発性メモリへのアクセスを前記記憶領域へのアクセスに置き換える手段と、前記記憶領域への書込みの有無を示す書込み要求を保持する保持手段と、予め設定された所定期間で動作しかつ前記保持手段に前記書込み要求が保持されているときに前記書込み要求に対応する前記記憶領域の内容を前記不揮発性メモリに書込む手段とを備えている。

【0018】本発明による他のEEPROM制御装置は、上記の構成のほか、前記情報処理装置とは非同期に動作しかつ前記情報処理装置に対して前記所定期間毎に割込みを発生する手段を具備している。

【0019】本発明による別のEEPROM制御装置

は、上記の構成のほか、前記所定期間で動作しかつ前記保持手段に前記書込み要求が保持されていないときに前記不揮発性メモリの内容のデータチェックを行う手段を具備している。

【0020】

【作用】通常動作時にEEPROMへのアクセスを疑似メモリへのアクセスに置き換えて実行するとともに、疑似メモリへの書込みの有無を示す書込み要求を書込み要求フラグに保持しておく。

【0021】一定間隔で定時間割込みを起動するEEPROM処理ルーチンが起動されたときに書込み要求が書込み要求フラグに保持されている、その書込み要求に対応する疑似メモリの内容のデータでEEPROMの対応するデータを更新する。

【0022】これによって、EEPROMをアクセスするタスクや割込みルーチン等の通常処理ルーチンにとっては普通のRAMをアクセスするだけなので、EEPROM特有の手続きを踏まなくともEEPROMに対するデータの読み書きが可能となり、ソフトウェアによる時間管理やメモリ管理の負担が軽減される。

【0023】また、EEPROMへのデータ書込み終了待ちを行う必要がなくなるので、その分CPU占有時間のロスが無くなる。さらに、EEPROMにアクセスするプログラムの場所が、書込み要求フラグ内の書込み要求の有無、あるいはペリフィカカウンタの値によって限定されるので、書込み回数のチェック等EEPROM管理プログラムの作成が容易となる。

【0024】さらにまた、EEPROM処理ルーチンはライトサイクル間隔を避けて動作するので、メモリ重複アクセスを生ずる心配がない。この場合、EEPROMの1ページあたり、1回のアクセス間隔内にデータ書換えが何回起きても、EEPROM処理ルーチンによるそのページに対するEEPROMへのアクセスが1回だけなので、その分EEPROMに対する書込み回数が減少する。

【0025】よって、EEPROMに対する無駄な書換えや無駄な処理を行うことなく、EEPROMの書込み待ち時間の短縮、EEPROMの書込み競合の防止、EEPROMの書込み漏れの防止、EEPROMの書込み回数の減少が図れる。

【0026】

【実施例】次に、本発明の実施例について図面を参照して説明する。

【0027】図1は本発明の実施例の構成を示すブロック図である。図において、EEPROM処理ルーチン1はタスク4a～4dとは非同期で動作し、一定間隔でタスク4a～4dの処理に割込みをかけて動作する。

【0028】EEPROM処理ルーチン1はこの割込みによって動作を開始すると、RAM2に予め設けた書込み要求フラグ2bをチェックし、書込み要求フラグ2b

が立っていれば、RAM2に予め設けた疑似メモリ2a内のフラグに対応するページのデータをEEPROM3の対応するページに書込む。

【0029】また、EEPROM処理ルーチン1は書込み要求フラグ2bが立っていたければ、EEPROM3に対して1ページずつデータチェック処理（バリファイチェック）を行う。

【0030】ここで、RAM2の疑似メモリ2aはEEPROM3と同じ大きさの領域が確保されたものである。また、書込み要求フラグ2bはEEPROM3のページ単位毎に書込み要求、つまり疑似メモリ2aへの書込みが行われたか否かを示す情報の有無を示すものである。さらに、割込みを発生する一定間隔には使用するEEPROM3のライトサイクルよりもう少し長い程度の時間が設定される。

【0031】図2は本発明の一実施例によるEEPROM制御方法を用いたマイクロプロセッサシステムを示すブロック図である。図において、このマイクロプロセッサシステムではCPU4にRAM2と、EEPROM3と、ROM5とが夫々接続されている。

【0032】ここで、CPU4はROM5に格納されているプログラムによって動作し、上記のEEPROM処理ルーチン1とタスク4a～4dとを夫々実行する。CPU4はタスク4a～4dを実行する通常ルーチンでEEPROM3のデータをアクセスする場合、それらのアクセスを全てRAM2内の疑似メモリ2aへのアクセスに置き換えて実行する。

【0033】図3は図1のEEPROM処理ルーチン1の処理動作を示すフローチャートである。これら図1～図3を用いてEEPROM処理ルーチン1の処理動作について説明する。

【0034】EEPROM処理ルーチン1は起動されると、まず定時間割込みを発生し（図3ステップS1）、その後にRAM2の書込み要求フラグ2bを参照して書込み要求の有無をチェックする（図3ステップS2）。

【0035】EEPROM処理ルーチン1は書込み要求があれば、その書込み要求に対応するRAM2の疑似メモリ2aのデータでEEPROM3の対応するページのデータを更新する（図3ステップS3）。EEPROM処理ルーチン1はEEPROM3に対するデータの更新が終了すると、書込み要求フラグ2bの書込み要求を1ページ分削除してから（図3ステップS4）、処理を終了して次の割込み起動待ちとなる。

【0036】一方、EEPROM処理ルーチン1は書込み要求がなければ、バリファイカウンタ（図示せず）によって処理するページを選択し、選択したページに対応する疑似メモリ2aのデータとEEPROM3のデータとのバリファイチェックを行う（図3ステップS5、6）。

【0037】このバリファイチェックで一致しないデー

タがあれば、EEPROM処理ルーチン1は選択したページに対応する疑似メモリ2aのデータでEEPROM3のデータを更新し（図3ステップS7）、バリファイカウンタを更新してから（図3ステップS8）、処理を終了して次の割込み起動待ちとなる。

【0038】また、このバリファイチェックで全てのデータが一致すれば、EEPROM処理ルーチン1はバリファイカウンタを更新してから（図3ステップS8）、処理を終了して次の割込み起動待ちとなる。

【0039】図4は図2のCPU4における処理の流れを示すタイミング図である。図において、処理の優先順位はEEPROM処理ルーチン1、タスク4d、タスク4c、タスク4b、タスク4aの順番になっている。

【0040】上記のマイクロプロセッサシステムに対して電源が投入されてからタスク4a～4dが処理されていないときに起動されると、EEPROM処理ルーチン1はまず定時間割込みを発生し、その後にRAM2の書込み要求フラグ2bを参照して書込み要求の有無をチェックする。

【0041】この場合、EEPROM処理ルーチン1は書込み要求がないので、バリファイカウンタによって処理するページとして1ページ目を選択し、疑似メモリ2aの1ページ目のデータとEEPROM3の1ページ目のデータとのバリファイチェックを行う。

【0042】このバリファイチェックで一致しないデータがあれば、EEPROM処理ルーチン1は疑似メモリ2aの1ページ目のデータでEEPROM3の1ページ目のデータを更新するための書込みコマンドを発行し、バリファイカウンタを更新してから処理を終了して次の割込み起動待ちとなる。

【0043】また、このバリファイチェックで全てのデータが一致すれば、EEPROM処理ルーチン1はバリファイカウンタを更新してから処理を終了して次の割込み起動待ちとなる。

【0044】次に、タスク4aの処理中にEEPROM処理ルーチン1が起動されると、EEPROM処理ルーチン1は定時間割込みを発生し、その後にRAM2の書込み要求フラグ2bを参照して書込み要求の有無をチェックする。

【0045】この場合、EEPROM処理ルーチン1は書込み要求がないので、バリファイカウンタによって処理するページとして2ページ目を選択し、疑似メモリ2aの2ページ目のデータとEEPROM3の2ページ目のデータとのバリファイチェックを行う。

【0046】このバリファイチェックで一致しないデータがあれば、EEPROM処理ルーチン1は疑似メモリ2aの2ページ目のデータでEEPROM3の2ページ目のデータを更新するための書込みコマンドを発行し、バリファイカウンタを更新してから処理を終了して次の割込み起動待ちとなる。

【0047】また、このペリファイチェックで全てのデータが一致すれば、EEPROM処理ルーチン1はペリファイカウンタを更新してから処理を終了して次の割込み起動待ちとなる。

【0048】この間、タスク4aの処理は中断され、EEPROM処理ルーチン1の処理が終了すると、制御が戻されて再開される。再開後に、タスク4aの処理にタスク4bの処理が割込むと、タスク4aの処理が中断され、タスク4bの処理が開始される。この間、EEPROM3ではEEPROM処理ルーチン1におけるデータ更新によって書込みコマンドが発行されると、その書込みコマンドによるライトサイクルに入り、タスク4a、4bの処理と並行してライトサイクルの処理が行われる。

【0049】タスク4bの処理中にEEPROM処理ルーチン1が起動されると、EEPROM処理ルーチン1は定時間割込みを発生し、その後にRAM2の書込み要求フラグ2bを参照して書込み要求の有無をチェックする。

【0050】この場合、EEPROM処理ルーチン1は書込み要求がないので、ペリファイカウンタによって処理するページとして3ページ目を選択し、疑似メモリ2aの3ページ目のデータとEEPROM3の3ページ目のデータとのペリファイチェックを行う。

【0051】このペリファイチェックで一致しないデータがあれば、EEPROM処理ルーチン1は疑似メモリ2aの3ページ目のデータでEEPROM3の3ページ目のデータを更新するための書込みコマンドを発行し、ペリファイカウンタを更新してから処理を終了して次の割込み起動待ちとなる。

【0052】また、このペリファイチェックで全てのデータが一致すれば、EEPROM処理ルーチン1はペリファイカウンタを更新してから処理を終了して次の割込み起動待ちとなる。

【0053】EEPROM処理ルーチン1の処理によって中断されたタスク4bの処理は、EEPROM処理ルーチン1の処理が終了すると再開される。このタスク4bの処理が終了すると、タスク4aの処理が再開される。タスク4aの処理の再開後に、タスク4aの処理にタスク4cの処理が割込むと、タスク4aの処理が中断され、タスク4cの処理が開始される。この間、EEPROM3ではEEPROM処理ルーチン1におけるデータ更新によって書込みコマンドが発行されると、その書込みコマンドによるライトサイクルに入り、タスク4b、4a、4cの処理と並行してライトサイクルの処理が行われる。

【0054】タスク4cの処理中にEEPROM処理ルーチン1が起動されると、EEPROM処理ルーチン1は定時間割込みを発生し、その後にRAM2の書込み要求フラグ2bを参照して書込み要求の有無をチェックす

る。

【0055】この場合、EEPROM処理ルーチン1は書込み要求がないので、ペリファイカウンタによって処理するページとして4ページ目を選択し、疑似メモリ2aの4ページ目のデータとEEPROM3の4ページ目のデータとのペリファイチェックを行う。

【0056】このペリファイチェックで一致しないデータがあれば、EEPROM処理ルーチン1は疑似メモリ2aの4ページ目のデータでEEPROM3の4ページ目のデータを更新するための書込みコマンドを発行し、ペリファイカウンタを更新してから処理を終了して次の割込み起動待ちとなる。

【0057】また、このペリファイチェックで全てのデータが一致すれば、EEPROM処理ルーチン1はペリファイカウンタを更新してから処理を終了して次の割込み起動待ちとなる。

【0058】EEPROM処理ルーチン1の処理によって中断されたタスク4cの処理は、EEPROM処理ルーチン1の処理が終了すると再開される。このタスク4cの処理中に疑似メモリ2aの1ページにデータの書込みが行われると、書込み要求フラグ2bの1ページに対応する位置にフラグが立つ。この間、EEPROM3ではEEPROM処理ルーチン1におけるデータ更新によって書込みコマンドが発行されると、その書込みコマンドによるライトサイクルに入り、タスク4cの処理と並行してライトサイクルの処理が行われる。

【0059】疑似メモリ2aの1ページに対するデータの書込みが行われた後のタスク4cの処理中にEEPROM処理ルーチン1が起動されると、EEPROM処理ルーチン1は定時間割込みを発生し、その後にRAM2の書込み要求フラグ2bを参照して書込み要求の有無をチェックする。

【0060】このとき、EEPROM処理ルーチン1は書込み要求があるので、その書込み要求に対応する疑似メモリ2aの1ページ目のデータでEEPROM3の対応する1ページ目のデータを更新する。EEPROM処理ルーチン1はEEPROM3に対するデータの更新のための書込みコマンドの発行が終了すると、書込み要求フラグ2bの書込み要求を1ページ分削除してから、処理を終了して次の割込み起動待ちとなる。

【0061】EEPROM処理ルーチン1の処理によって中断されたタスク4cの処理は、EEPROM処理ルーチン1の処理が終了すると再開される。このタスク4cの処理にタスク4dの処理が割込むと、タスク4cの処理が中断され、タスク4dの処理が開始される。

【0062】タスク4cの処理は、タスク4dの処理が終了すると再開される。このタスク4dの処理が終了すると、タスク4cの処理が再開される。この間、EEPROM3ではEEPROM処理ルーチン1における1ページ目のデータ更新によって書込みコマンドが発行され



ると、その書込みコマンドのライトサイクルに入り、タスク4c、4dの処理と並行してライトサイクルの処理が行われる。

【0063】タスク4cの処理中にEEPROM処理ルーチン1が起動されると、EEPROM処理ルーチン1は定時間割込みを発生し、その後にRAM2の書込み要求フラグ2bを参照して書込み要求の有無をチェックする。

【0064】この場合、EEPROM処理ルーチン1は書込み要求がないので、ベリファイカウンタによって処理するページとして5ページ目を選択し、疑似メモリ2aの5ページ目のデータとEEPROM3の5ページ目のデータとのベリファイチェックを行う。

【0065】このベリファイチェックで一致しないデータがあれば、EEPROM処理ルーチン1は疑似メモリ2aの5ページ目のデータでEEPROM3の5ページ目のデータを更新するための書込みコマンドを発行し、ベリファイカウンタを更新してから処理を終了して次の割込み起動待ちとなる。

【0066】また、このベリファイチェックで全てのデータが一致すれば、EEPROM処理ルーチン1はベリファイカウンタを更新してから処理を終了して次の割込み起動待ちとなる。

【0067】EEPROM処理ルーチン1の処理によって中断されたタスク4cの処理は、EEPROM処理ルーチン1の処理が終了すると再開される。このタスク4cの処理が終了すると、タスク4aの処理が再開される。この間、EEPROM3ではEEPROM処理ルーチン1におけるデータ更新によって書込みコマンドが発行されると、その書込みコマンドのライトサイクルに入り、タスク4c、4aの処理と並行してライトサイクルの処理が行われる。

【0068】タスク4aの処理の再開後、タスク4aの処理中にEEPROM処理ルーチン1が起動されると、EEPROM処理ルーチン1は定時間割込みを発生し、その後にRAM2の書込み要求フラグ2bを参照して書込み要求の有無をチェックする。

【0069】この場合、EEPROM処理ルーチン1は書込み要求がないので、ベリファイカウンタによって処理するページとして6ページ目を選択し、疑似メモリ2aの4ページ目のデータとEEPROM3の6ページ目のデータとのベリファイチェックを行う。

【0070】このベリファイチェックで一致しないデータがあれば、EEPROM処理ルーチン1は疑似メモリ2aの4ページ目のデータでEEPROM3の6ページ目のデータを更新するための書込みコマンドを発行し、ベリファイカウンタを更新してから処理を終了して次の割込み起動待ちとなる。

【0071】また、このベリファイチェックで全てのデータが一致すれば、EEPROM処理ルーチン1はベリ

ファイカウンタを更新してから処理を終了して次の割込み起動待ちとなる。

【0072】このように、通常動作時にEEPROM3へのアクセスを疑似メモリ2aへのアクセスに置き換えて実行するとともに、疑似メモリ2aへの書込みの有無を示す書込み要求を書込み要求フラグ2bに保持しておき、予め設定された所定期間毎に定時間割込みを起動するEEPROM処理ルーチン1が起動されたときに書込み要求が書込み要求フラグ2bに保持されているか、その書込み要求に対応する疑似メモリ2aのデータでEEPROM3の対応するデータを更新することによって、EEPROM3をアクセスするタスク4a～4dや割込みルーチン等の通常処理ルーチンにとっては普通のRAM2をアクセスするだけなので、EEPROM3特有の手続きを踏まなくともEEPROM3に対するデータの読み書きが可能となり、ソフトウェアによる時間管理やメモリ管理の負担が軽減される。

【0073】また、EEPROM3へのデータ書込み終了待ちを行う必要がなくなるので、その分CPU占有時間のロスが無くなる。さらに、EEPROM3にアクセスするプログラムの場所が、書込み要求フラグ2b内の書込み要求の有無、あるいはベリファイカウンタの値によって限定されるので、書込み回数のチェック等EEPROM管理プログラムの作成が容易となる。

【0074】さらにまた、EEPROM処理ルーチン1はライトサイクル間隔を避けて動作するので、メモリ重複アクセスを生ずる心配がない。この場合、EEPROM3の1ページあたりへのアクセス間隔内にデータ書換えが何回起きても、EEPROM処理ルーチン1によるそのページに対するEEPROM3へのアクセスが1回だけなので、その分EEPROM3に対する書込み回数を減少させることができる。

【0075】よって、EEPROM3に対する無駄な書換えや無駄な処理を行うことなく、EEPROM3の書込み待ち時間の短縮、EEPROM3の書込み競合の防止、EEPROM3の書込み漏れの防止、EEPROM3の書込み回数の減少を図ることができる。

【0076】

【発明の効果】以上説明したように本発明によれば、通常動作時に電氣的に書込み及び消去自在な不揮発性メモリへのアクセスを、その不揮発性メモリの内容を全て記憶する記憶領域へのアクセスに置き換えるとともに、この記憶領域への書込みの有無を示す書込み要求を保持しておき、予め設定された所定期間で書込み要求の有無をチェックしたときに書込み要求が保持されているか、その書込み要求に対応する記憶領域の内容を不揮発性メモリに書込むことによって、EEPROMに対する無駄な書換えや無駄な処理を行うことなく、EEPROMの書込み待ち時間の短縮、EEPROMの書込み競合の防止、EEPROMの書込み漏れの防止、EEPROMの



書き込み回数の減少を図ることができるという効果がある

【図面の簡単な説明】

【図1】本発明の一実施例の構成を示すブロック図である

【図2】本発明の一実施例によるEEPROM制御方法を用いたマイクロプロセッサシステムを示すブロック図である

【図3】図1のEEPROM処理ルーチンの処理動作を示すフローチャートである

【図4】図2のCPUにおける処理の流れを示すタイミング図である

【図5】従来例によるEEPROMの制御動作を示すフ

ローチャートである

【図6】従来例によるEEPROMの制御動作を示すフローチャートである

【図7】従来例によるEEPROMの制御動作を示すフローチャートである

【符号の説明】

1 EEPROM処理ルーチン

2 RAM

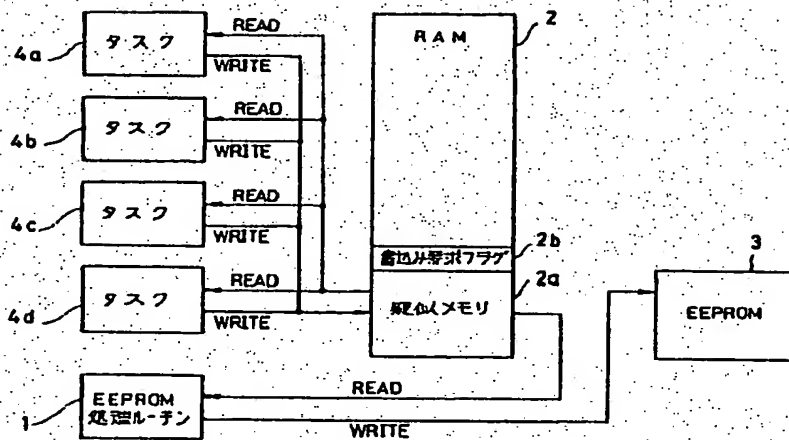
2a 疑似メモリ

2b 書き込み要求フラグ

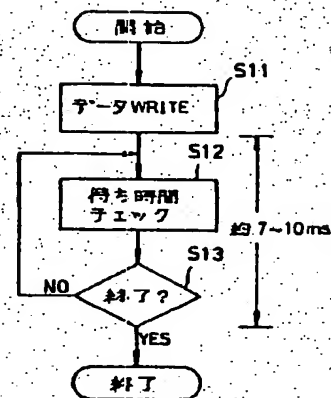
3 EEPROM

4a～4d タスク

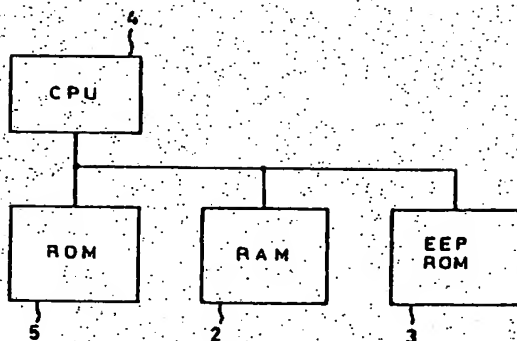
【図1】



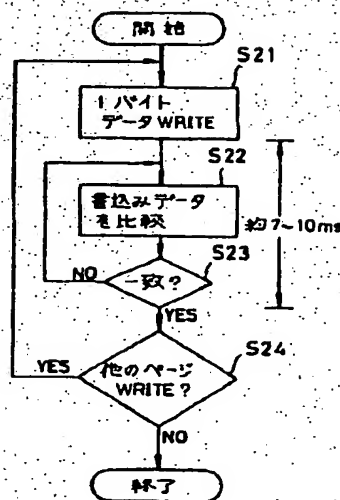
【図5】



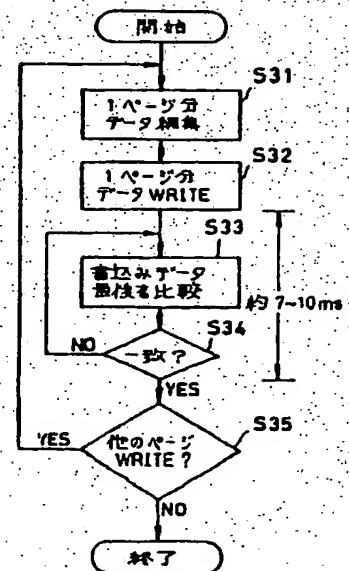
【図2】



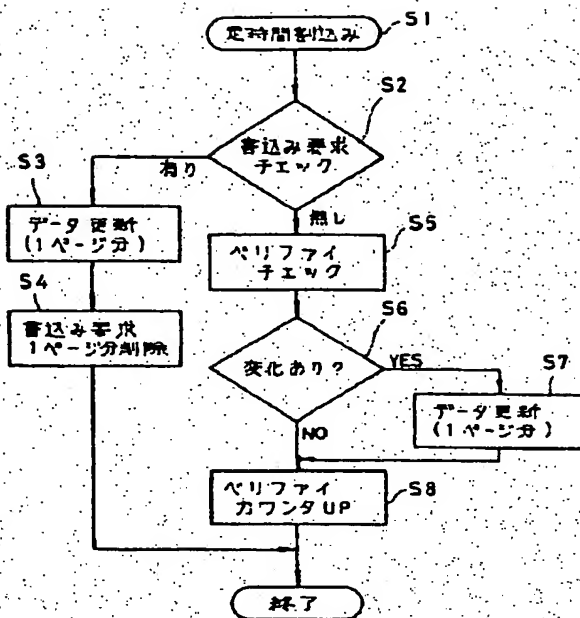
【図6】



【図7】



【図3】



【図4】

